

증폭기 공유 기법을 이용한 저전력 저잡음 용량형 센서용 신호 처리 IC

박윤종 · 김철영 · 정방철 · 유호영 · 고희호⁺

Low Noise and Low Power IC Using Opamp Sharing Technique for Capacitive Micro-Sensor Sensing Platform

Yunjong Park, Choul-Young Kim, Bang Chul Jung, Hoyoung Yoo, and Hyoungho Ko⁺

Abstract

This paper describes the low noise and low power IC using the opamp sharing technique for the capacitive micro-sensor sensing platform. The proposed IC reduces noise using correlated double sampling (CDS) and reduces power consumption using the opamp sharing technique. The IC is designed to be fully programmable, and can be digitally controlled by serial peripheral interface (SPI). The power consumption and the integrated input referred noise are 1.02 mW from a 3.3 V supply voltage and 0.164 aF_{RMS} with a bandwidth of 400 Hz. The capacitive sensitivity, the input-output linearity and the figure of merits (FoM) are 2.5 mV/fF, 2.46 %FSO, and 8.4, respectively.

Keywords: Capacitive micro-sensor, Opamp sharing technique, Correlated Double Sampling, Capacitive sensing

1. 서 론

용량형 검출 방식은 다양한 물리적, 화학적, 생물학적 신호를 계측하여 환경 변화에 대한 검출 및 모니터링을 위해 사용하는 소형 고감도 감지 센서에 널리 이용된다. 특히, 용량형 센서는 피에조 방식 등 기타 방식에 비하여 저전력 특성, 온도 의존성, 우수한 DC 응답성을 얻을 수 있어, 일상 생활의 편리함을 목적으로 설계된 웨어러블, 스마트 디바이스에서 사용된다[1]. 이러한 웨어러블, 스마트 디바이스를 포함한 IoT 분야에서 사용되는 capacitive sensor의 종류에는 압력 센서, 중력 센서, 가속도계 센서, 화학물 센서 등이 있다[2,3].

특히 웨어러블 기기 및 휴대용 스마트 디바이스의 경우 빠른 저전력화 및 소형화로 인하여 적용 부품의 초소형화 저전력화에 대한 요구가 증가하고 있으며, 이에 따라 용량형 센서들의 capacitance sensitivity가 감소하는 추세이며, 이에 따라 저전력, 작은 크기의 칩을 설계하기 위해서 다양한 방법을 적용한 결과

들이 제시되고 있다[4-7]. 하지만 이러한 요구조건을 지키면서 높은 gain과 sensitivity를 얻기 위해서는 2단 또는 3단의 다단 증폭기 구조를 사용해야 한다. 기존의 다단 증폭기 구조는 많은 capacitor와 증폭기로 인해서 많은 면적을 차지하고 높은 전력 소모를 갖는 문제가 있다. 또한, capacitive MEMS 센서와 analog front end (AFE) 사이의 parasitic capacitance로 인한 mismatch 문제와 증폭기 사이에서 발생하는 mismatch에 의한 offset 문제, 증폭기의 수만큼 증가하는 noise 문제가 발생함으로 인하여, 출력전압이 VDD 또는 GND로 포화될 수 있다[7].

본 논문에서는 용량형 센서 계측 플랫폼을 위한 증폭기 공유 기법이 적용된 저전력, 저잡음 IC 회로를 제안한다. 기존의 다단증폭기와는 다르게 증폭기 공유 기법을 이용하여 capacitive sensing amplifier (CSA)를 설계했고 이를 통해 하나의 단일 증폭기로 기존 다단증폭기의 capacitive sensing 성능을 만족하는 회로를 구현하였다.

이러한 증폭기 공유 기법을 이용하면 하나의 증폭기만을 사용하므로 기존의 다단증폭기와는 다르게 자원을 여러 증폭기에 사용하지 않기 때문에 저잡음 증폭기 하나로 저잡음 특성을 유지하면서 회로의 면적을 줄일 수 있는 장점이 있다. 또한, 1/f noise, flicker noise와 같은 저주파 대역의 noise를 감소시키기 위해 correlated double sampling (CDS) 기법을 적용했다. Capacitive micro 센서와 입력단 사이에서 발생하는 parasitic capacitance를 제거하기 위해서 capacitance offset calibration loop를 사용하여 binary search 기법으로 감쇠시킬 수 있도록 했다. Capacitive sensing chain의 feedback capacitors, programmable

충남대학교 전자공학과 (Department of Electronics Engineering, Chungnam National University)
Room. 403, Bldg. E2, Chungnam National University, Daehakro 99, Yuseonggu, Daejeon 34134, Korea

⁺Corresponding author: hhko@cnu.ac.kr

(Received: Dec. 13, 2016, Accepted: Jan. 27, 2017)

This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

gain registers, timing generator 의 registers 를 포함한 내부 회로 들의 다양한 레지스터들을 조정하기 위해서 serial peripheral interface (SPI) 를 설계했고 이를 통해 디지털적으로 제어할 수 있다. 증폭기의 출력은 noise 감소와 작은 면적을 위해서 switched capacitor low-pass filter (SC LPF) 를 설계했다. 최종적으로 successive approximation register analog to digital converter (SAR ADC) 를 통해 디지털 신호로 출력된다.

2. 회로 설계

2.1 전체 회로 구성

Fig. 1 은 제안하는 저전력, 저잡음 용량형 센서 계측 플랫폼이다. 전체 회로는 증폭기 공유 기법이 적용된 단일 증폭기와 switched capacitor low pass filter (SC LPF), capacitance offset calibration loop, SAR ADC, SPI 로 구성되며 fully differential 증폭기 형태로 rail-to-rail 의 입력단과 folded cascade 구조의 출력단으로 구성된 core amplifier 를 설계했다. 그리고 core amplifier 내부에 switched capacitor common mode feedback (SC CMFB) 구조의 offset 보상 회로를 추가하여 강인한 공통모드 기준전압을 유지하도록 설계했다. Folded cascode 출력단으로 인해서 swing range 가 증가하고 SC CMFB 를 통해 기준 전압을 설정하여 출력 신호를 내보낸다. Core amplifier 는 저주파 대역의 noise 를 감쇠시키기 위해 correlated double sampling (CDS) 기법을 적용했다[9-13].

제안하는 센서 계측 플랫폼은 stand-alone 으로 동작하기 위해 내부에 relaxation oscillator 와 reference voltage, current 회로를 설계했다. 내부 relaxation oscillator 를 통해 master clock 을 생성하고 clock divider 를 통해 분주되어 각각 chopper 회로, core amplifier 와 SC CMFB, SC LPF 등과 같은 회로에 입력된다. 이러한 분주된 clock 은 power gating 을 통해 전력 소모를 줄일 수 있도록 레지스터를 설정했다. Capacitance offset calibration loop (COCL) 는 증폭기의 출력이자 SC LPF 의 입력 신호를 받아 comparator 와 D flip-flop 을 통과하고 R-2R digital to analog

converter (R2R DAC) 를 통해 증폭기 입력 신호의 capacitor array 레지스터를 조정한다. 증폭기의 differential 출력을 comparator 로 비교하고 그 출력을 D flip-flop 에 저장하여 R2R DAC 를 통해 순차적으로 capacitor array 레지스터에 순차적으로 전달하는 방식으로 binary search 기법을 이용하여 offset 을 감쇠시킨다. 또한 이 회로는 self-biasing 이 가능하도록 내부에 reference voltage 회로와 reference current 회로를 구성했다. 이 회로들을 통해 공급 전원만으로 내부 회로들이 모두 동작할 수 있게 되고, low drop output (LDO) 를 통해 디지털 회로의 공급 전압도 제공하도록 했다. 디지털 회로로 SPI 회로가 있고, SPI 통신을 통해 외부에서 직접 레지스터들을 조정하지 않고도 내부의 레지스터들을 조정할 수 있고, 손쉽게 조작이 가능하다. 회로 내부 레지스터의 종류에는 증폭기의 feedback capacitors, gain capacitors 와 COCL, DAC 의 control 레지스터 등이 있다.

2.1.1 CSA AFE 회로의 원리

Fig. 2 는 기존의 3단 증폭기를 통한 capacitive sensor 의 변화를 측정하는 capacitive sensing chain IC 를 나타내었다. Capacitive sensor 와 Opamp 사이에 존재하는 입력 offset 과 flicker noise 는 증폭기 출력의 DC 전압 레벨에 영향을 준다. 이 문제점을 해결하기 위해서, capacitive sensor의 전원을 chopper 회로를 통해 VDD 와 GND 를 clock phase에 따라 번갈아 충전시킨다. 이 과정을 통해 peak-to-peak 진폭이 capacitance 값의 변화 차이에 비례하는 CSA 단의 출력이 나오게 되고, 이 동작으로 인해 CSA 의 출력에서 amplitude modulation 된 신호를 생성하게 된다. 출력이 differential 로 demodulation 된 후에는 입력 offset 과 flicker 잡음과 같은 distortion 의 영향을 줄일 수 있다. Capacitor array 는 micro-sensor 와 증폭기 사이에 발생하는 input parasitic capacitance 를 제거하기 위해 사용된다. 1/f 잡음 및 DC offset 과 같은 저주파 잡음을 제거하기 위해 CDS 기법이 주로 사용된다.

2.1.2 증폭기 공유 기법이 적용된 CSA의 동작

Fig. 3 은 제안한 증폭기 공유 기법이 적용된 CSA 이다. 증

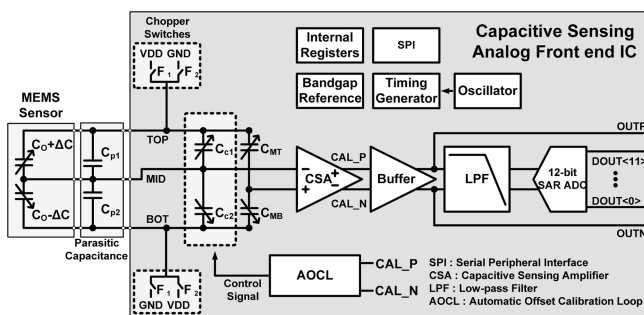


Fig. 1. 제안한 저전력, 저잡음 용량형 센서 계측 플랫폼.

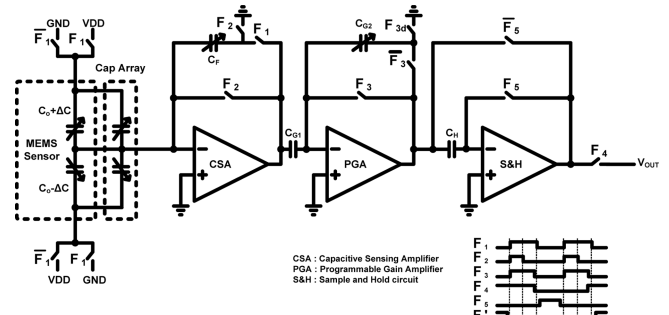


Fig. 2. 기존의 capacitive sensing chain.

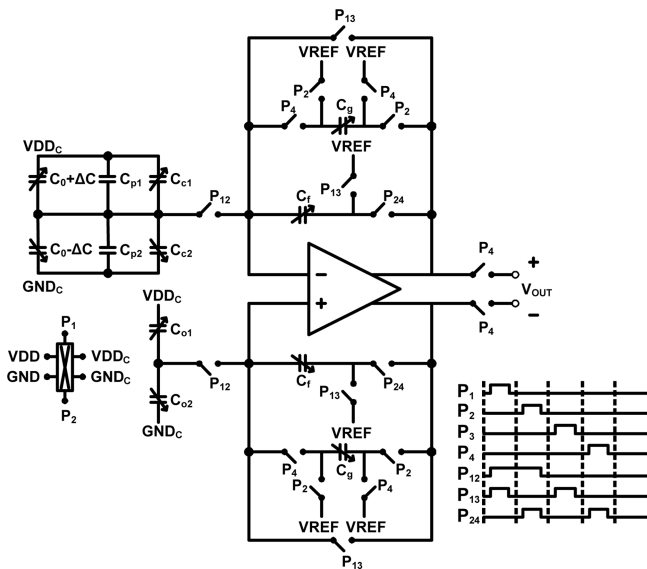


Fig. 3. 제안하는 증폭기 공유 기법이 적용된 CSA.

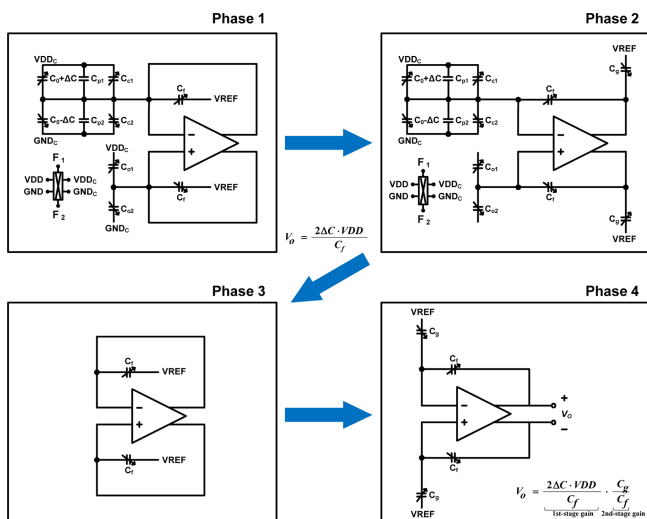


Fig. 4. CSA의 동작 원리.

폭기 공유 기법을 이용하여 기존의 2단 이상의 증폭기에 비해 증폭기 수가 줄어들어 증폭기가 차지하는 면적을 절반 이상으로 줄였다는 장점이 있으며, 또한 여러 증폭기에서 사용하는 자원들을 하나의 증폭기만을 이용하여 noise와 전력 소모량이 줄어들었다[11-13]. 제안하는 증폭기 공유기법을 이용한 capacitive sensing amplifier (CSA)의 동작은 Fig. 4에 나타내었다.

Phase 1 신호에서 chopper 동작에 의해 VDD가 VDDc로 GND는 GNDc로 연결이 되고 센서의 VDD와 GND 전원을 인가한다. 센서의 전원으로 differential sensing capacitances가 충전되고 센서의 출력과 증폭기가 연결된다. 또한, 증폭기의 입력과 출력이 연결되어 센서의 신호가 초기화되고 feedback capacitor (Cf)에 초기값이 저장된다. Phase 2 신호에서 본 회로는 capacitive sensing amplifier로 동작을 한다. 센서의 전원은 chopper에 의

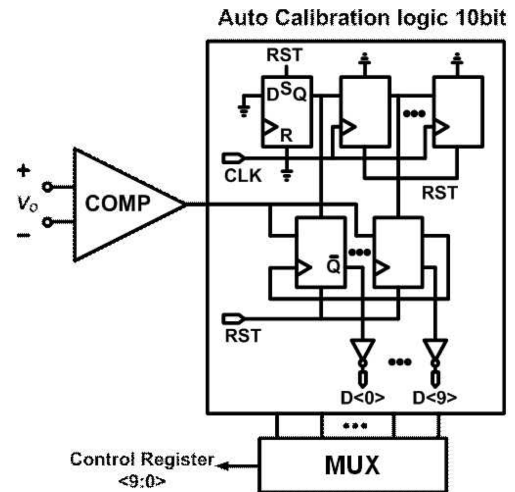


Fig. 5. 오프셋 교정 회로.

해 GND가 VDDc에 VDD가 GNDc에 연결되어 phase 1과는 정반대로 센서의 differential sensing capacitances를 충전시킨다. 그리고 센서에 충전된 전하가 Cf로 이동하고 이동한 전하는 전압으로 변환된다. 출력전압은 gain capacitor (Cg)에 sampling된다. 이 phase 2 과정에 의한 증폭기의 출력 전압 관계식은 식 (1)에 나타내었다. Phase 3에서는 phase 1과 마찬가지로 입력과 출력이 연결되어 초기화된다. 또한, 센서와 증폭기 사이의 연결을 끊어 센서의 출력 신호를 차단한다. Phase 4 신호에서도 센서와 증폭기는 연결되지 않고, phase 2에서 전압으로 변환된 신호를 증폭시키는 전압 이득 증폭기로 동작한다. Gain capacitor (Cg)에 sampling된 전압이 Cg와 Cf의 비에 의해 증폭되어 증폭기의 출력으로 나간다. 출력전압은 sampling되어 SC LPF로 전달된다. Phase 1부터 phase 4까지의 과정을 통해 센서에 감지된 capacitance를 전압으로 변환하고 이 전압을 증폭시켜 출력으로 내보내는 capacitive sensing amplifier를 구현했다. 이에 대한 출력의 관계식은 식 (2)에 나타내었다.

$$V_o = -\frac{V_{DD} \cdot 2\Delta C}{C_f} + V_{ref} \quad (1)$$

$$V_o = -\frac{V_{DD} \cdot 2\Delta C}{C_f} \cdot \frac{C_g}{C_f} + V_{ref} \quad (2)$$

2.1.3 Offset Calibration Loop

Fig. 5는 오프셋 교정 회로를 나타내었다. 센서와 증폭기의 연결부위에서 발생하는 parasitic capacitance를 교정하기 위해서 사용하는 기존의 capacitor array 기법을 사용하였다[10-13]. 이는 capacitor array를 위해 칩 내부에서 면적을 크게 차지한다는 단점이 있다. 또한, 공정 설계의 rule 상에서 제공하는 가장 작은 capacitor의 용량 제한이 있다는 단점이 있다. 하지만 capacitor array의 레지스터를 조정함으로써 capacitor 변화량을

시각적으로 확인할 수 있다는 장점이 있기 때문에 측정을 위해 사용했다. 이 회로에서 사용한 unit capacitor의 크기는 약 21 fF($4\ \mu\text{m} \times 4\ \mu\text{m} \times 1.32\ \text{fF}/\mu\text{m}^2$)이다. 이 capacitor를 조정하기 위한 레지스터를 할당하여 레지스터를 조정하는 방법으로 offset calibration circuit을 설계했다.

용량형 계측 증폭기의 출력을 비교기를 통하여 비교하고 D flip-flop을 이용하여 설계한 10-bit binary search successive approximation register (SAR) logic에 저장한다. 이렇게 저장된 신호들은 순차적으로 capacitor array의 Cc1과 Cc2를 조정하는 control register 신호로 출력된다. 자동적으로 교정이 가능하도록 reset 신호에 따라 교정을 진행할 수 있게 내장 발진기를 통해 신호를 생성한다.

2.1.4 Serial Peripheral Interface (SPI)

Fig. 6은 본 회로에 적용된 SPI 레지스터 동작이다. 상위의 timing diagram에서 CS 신호가 0이고 SCK 신호가 1일 때 데이터 입, 출력이 가능한 것을 알 수 있다. 그리고 MISO 신호와 MOSI 신호를 통해 데이터의 입, 출력을 한다. MISO의 8-bit 신호에서 첫 bit는 W/R 레지스터로 write와 read를 결정하고, 뒤의 7-bit register는 데이터의 주소를 의미한다. MISO 신호가 끝난 후 이어지는 MOSI 신호의 8-bit register는 data register로 내부 레지스터 값을 설정해주는 데이터이다. 이 SPI 통신을 이용하여 칩 내부의 offset calibration loop의 레지스터들, capacitive sensor sensing 증폭기의 capacitors (Cf, Cg), 내장 발진기의 clock 조정 레지스터들, 칩 내부의 동작 설정 레지스터들을 설정할 수 있다. SCL, SDA 신호에 대해 그려진 timing diagram은 Inter-Integrated Circuit (I²C) 통신에 대한 방법으로 통신을 위한 데이터 신호의 시작과 끝까지의 과정을 설명한다. 본 회로는 칩 내부에 SPI와 I²C 통신 두가지 방법이 모두 적용되었기에 외부에서 칩을 사용하는데 있어서 접근이 용이하다.

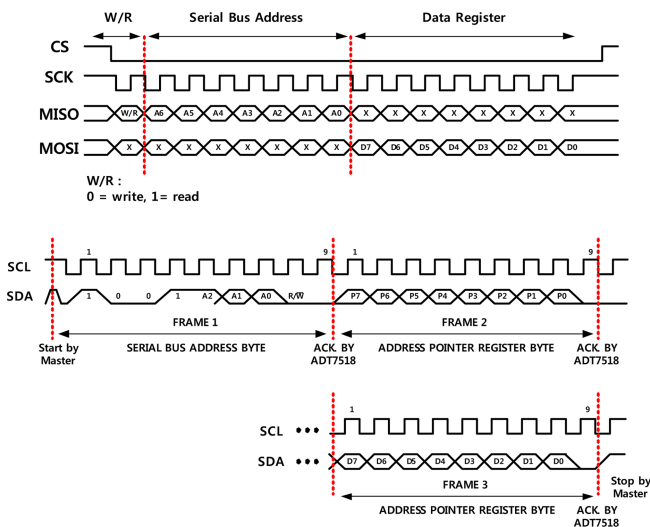


Fig. 6. 적용한 SPI 레지스터 동작.

3. 제작 및 성능 평가

3.1 제작 결과

Fig. 7은 제작된 용량형 센서 측정 chip의 micro photograph를 나타내었다. 본 회로는 0.18 μm 1P6M CMOS 공정을 사용하였으며 active 면적은 1.76 mm²이다. 칩 내에는 capacitive sensing IC 및 12 bit SAR ADC & Sub block이 포함되어 있으며 sub block에는 current reference 및 oscillator를 포함한 timing generator가 모두 집적화되어 있다.

3.2 성능 측정 결과

3.2.1 Programmable 소자에 따른 증폭기 결과

Fig. 8은 설계한 capacitive sensing amplifier의 programmable offset calibration loop의 레지스터를 조정하여 얻은 측정 결과이다. 설계한 offset calibration circuit은 comparator와 SAR logic, multiplexer를 사용하여 구성했다. Comparator를 통해 증폭기의 differential 출력을 비교하고, D flip-flop으로 구성된 SAR logic에 비교한 값들을 저장한다. 이후에 multiplexer 회로를 거쳐 순차적으로 10-bit offset calibration capacitors인 Cc1과 Cc2의 레지스터에 값들을 인가한다. 본 회로의 공정상의 unit capacitor는 대략 21 fF로 Fig. 8의 그래프와 같이 21 fF/step으로 교

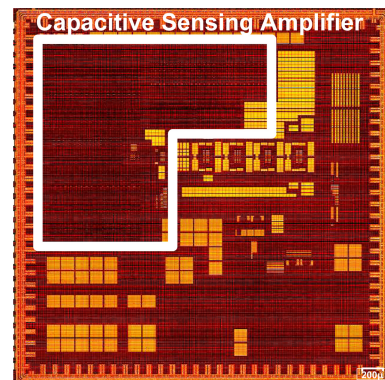


Fig. 7. 제안하는 capacitive sensing IC microphotograph.

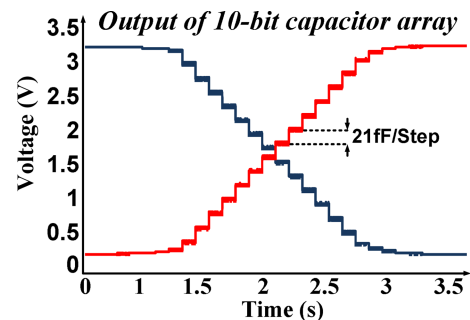


Fig. 8. Offset calibration 동작에 따른 differential output.

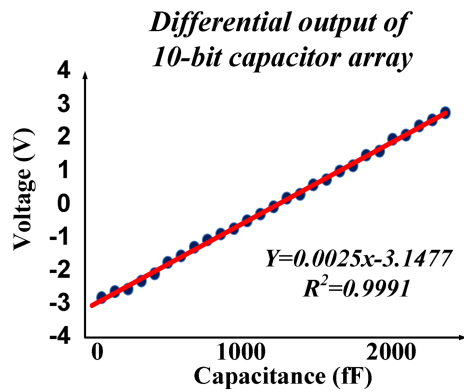


Fig. 9. 제안하는 증폭기의 특성 측정 결과.

정 회로가 정상적으로 동작함을 확인할 수 있다. 보상 회로와 증폭기의 특성을 알아보기 위해 Fig. 9의 그래프를 제시한다. Fig. 9은 capacitive sensitivity와 linearity를 확인하기 위해 증폭기의 출력을 도식화했고, 이 그래프의 추세선 관계식은 식 (3)과 같다. 선형 회귀 분석을 통한 결과 값 R^2 은 0.9991로 회로의 선형성을 확인할 수 있다. Capacitive linearity를 측정하기 위해 full scale output (FSO)를 계산하여 2.46% FSO의 결과를 얻었다. 이러한 그래프 분석 결과에 따라 이 회로의 두 가지 특성에 대해 capacitive sensitivity는 2.5 mV/fF이고, capacitive linearity는 2.46% FSO의 결과를 얻었다.

$$Y = 0.0025x - 3.1477$$

$$R^2 = 0.9991 \quad (3)$$

3.2.2 제안한 증폭기의 noise 측정 결과

Fig. 10은 제안하는 증폭기의 noise 특성 결과이다. 타 논문과의 비교를 위해 input referred capacitance noise를 구하고자 input capacitance noise를 측정하였다. 측정 장비는 Agilent사의 dynamic signal analyzer를 이용했고, frequency domain에서 bandwidth는 400 Hz로 측정했다. 이러한 환경에서 input referred

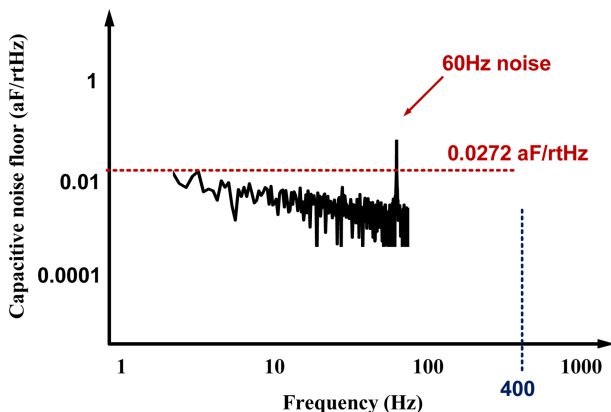


Fig. 10. 증폭기의 capacitance noise 측정 결과.

Table 1. The performance comparisons of proposed IC

	This work	[1]	[2]	[3]
Technology (μm)	0.18	0.8	0.5	0.8
Supply voltage (V)	3.3	5	5	5
Power consumption (mW)	1.02	2.9	30	0.56
Active area (mm^2)	2.12	0.65	0.27	0.225
Bandwidth (Hz)	400	400	2000	500
Input referred noise (aF_{RMS})	0.164	0.36	0.894	5.59
FoM ($\mu\text{m} * \text{aF}_{\text{RMS}} / \sqrt{\text{Hz}}$)	8.4	52.2	600	140

capacitance noise floor는 $8.2\text{E-}3 \text{ aF}/\sqrt{\text{Hz}}$ 이며, integrated input referred capacitance noise는 $0.164 \text{ aF}_{\text{RMS}}$ 의 결과를 얻었다.

3.2.3 제안한 회로의 측정 결과와 비교

Table 1은 제안한 회로의 측정 결과와 타 논문과의 비교에 대한 표이다. 본 회로는 $0.18 \mu\text{m}$ 1P6M CMOS 공정을 사용하였으며 active 면적은 2.12 mm^2 이다. 전력 소모는 1.02 mW 이며, 공급 전원은 3.3 V 이다. 회로의 bandwidth는 400 Hz 이고, 이에 대한 input referred capacitance noise는 $0.164 \text{ aF}_{\text{RMS}}$ 이다. 위와 같은 결과들을 통해 타 논문과의 전력, noise에 대한 총괄적인 비교를 위해 figure of merit (FoM)을 제시한다. FoM은 전력과 integrated input referred noise를 곱하고 이를 bandwidth ($\sqrt{\text{Hz}}$)로 나눈 값이다. FoM의 결과로 타 논문과 비교를 하면 본 회로는 FoM이 8.4이고, 기타 유사 논문들은 수십의 값을 갖는다. 이를 통해 본 회로는 전력과 noise 측면에서 우수한 성능을 갖고 있음을 나타낸다.

4. 결 론

본 논문은 연산 증폭기 공유 기법을 이용한 저전력, 저잡음 용량형 센싱집적회로를 제안했다. 연산 증폭기 공유 기법을 이용하여 하나의 증폭기로 2단 이상의 증폭기 성능을 구현한다. CSA와 PGA를 하나의 증폭기로 구현하여 면적과 잡음, 전력 소모량을 줄일 수 있다. Chip은 $0.18 \mu\text{m}$ 1P6M CMOS 공정을 사용하였으며 active 면적은 2.12 mm^2 에 해당된다. 공급 전압은 3.3 V 이고, 전체 전류는 $310 \mu\text{A}$, 전력 소모량은 1.02 mW 이다. 입력단의 parasitic capacitance는 -21 pF 에서 21 pF 까지의 mismatch를 교정할 수 있으며, offset calibration circuit은 10-bit SAR logic을 이용하여 binary search 기법으로 아날로그

방식과 디지털 방식으로 선택하여 교정할 수 있다. 400 Hz의 bandwidth에서 input referred capacitance noise는 0.164 aFRMS이다. 본 회로의 입, 출력 특성 결과로 capacitance sensitivity는 2.5 mV/fF 이고, non-linearity는 2.46%FSO로 측정되었다. 이에 대한 결과로 FoM은 8.4의 결과를 얻었다.

감사의 글

본 논문은 충남대학교 CNU학술연구비의 지원을 받아 작성되었습니다.

REFERENCES

- [1] J. Shiah, S. Mirabbasi, "A 5-V 290- μ W low-noise chopper-stabilized capacitive-sensor readout circuit in 0.8- μ m CMOS using a correlated level-shifting technique," *IEEE Trans. Circuits Syst. II, Express Briefs*, Vol. 61, No. 4, pp. 254-258, April, 2014.
- [2] J. Wu, G. K. Fedder, L. R. Carley, "A low-noise low-offset capacitive sensing amplifier for a 50- μ g/ $\sqrt{\text{Hz}}$ monolithic CMOS MEMS accelerometer," *IEEE J. Solid-State Circuits*, Vol. 39, No. 5, pp. 722-730, May, 2004.
- [3] J. Shiah, S. Mirabbasi, "A 5-V 555- μ W 0.8- μ m CMOS MEMS capacitive sensor interface using correlated level shifting," *Proc. IEEE Int. Symp. Circuits Syst. (ISCAS)*, pp. 1504-1507, May, 2013.
- [4] Z. Hu, H. Quan, F. Zhang, P. Wang, "Ultra-low noise charge sensitive amplifier for MEMS gyroscope," *Proc. 5th Int. Conf. MEMS, NANO, Smart Syst. (ICMENS)*, pp. 29-32, December, 2009.
- [5] M. Zhao, W. Lu, Z. Chen, T. Zhang, F. Wu, Y. Zhang, D. Liu, "A low-noise switched-capacitor interface for a capacitive micro-accelerometer," *Proc. IEEE Int. Symp. Circuits Syst. (ISCAS)*, pp. 337-340, May, 2015.
- [6] H. Song, Y. Park, H. Kim, D. Cho, H. Ko, "Fully integrated low-noise readout circuit with automatic offset cancellation loop for capacitive microsensors," *Sensors*, Vol. 15, No. 10, pp. 26009-26017, 2015.
- [7] H. Ha, Y. Suh, S. K. Lee, H. J. Park, J. Y. Sim, "A 0.5 V, 11.3- μ W, 1-kS/s resistive sensor interface circuit with correlated double sampling," *IEEE Custom Integrated Circuits Conference (CICC)*, pp.1-4, September, 2012.
- [8] S. Guo, H. Lee, "Single-capacitor active-feedback compensation for small-capacitive-load three-stage amplifiers," *IEEE Trans. Circuits Syst. II, Express Briefs*, Vol. 56, No. 10, pp. 758-762, October, 2009.
- [9] G. Kim, C. Seok, T. Kim, J. H. Park, H. Kim, H. Ko, "The micro pirani gauge with low noise CDS-CTIA for in-situ vacuum monitoring," *J. Semiconductor Technol. Sci.*, Vol. 14, No. 6, pp. 733-740, 2014.
- [10] M. Perenzoni, N. Massari, D. Stoppa, L. Pancheri, M. Malfatti, L. Gonzo, "A 160 120-pixels range camera with in-pixel correlated double sampling and fixed-pattern noise correction," *IEEE J. Solid-State Circuits*, Vol. 46, No. 7, pp. 1672-1681, 2011.
- [11] X. Wen, J. Chen, Y. You, Y. Feng, Y. Tang, Z. Zuo, T. Liu, "A 12-bit 60-MS/s 36-mW SHA-less opamp-sharing pipeline ADC in 130 nm CMOS," *J. Instrumentation*, Vol. 11, January, 2016.
- [12] D. R. da Silva, N. Oki, "An amplifier and capacitor sharing technique using recycling folded cascode operational amplifier with applications in MDAC of CMOS pipelined ADC," *IEEE Design of Circuits and Integrated Systems (DCIS) 2015 Conference on*, pp. 1-4, 2015.
- [13] J. Wu, G. K. Fedder, L. R. Carley, "A low-noise low-offset capacitive sensing amplifier for a 50-/spl mu/g/spl radic/Hz monolithic CMOS MEMS accelerometer," *IEEE J. Solid-State Circuits*, Vol. 39, pp. 722-730, 2004.